

PAT-NO: JP408263391A

DOCUMENT-IDENTIFIER: JP 08263391 A

TITLE: INFORMATION PROCESSOR

PUBN-DATE: October 11, 1996

INVENTOR-INFORMATION:

NAME  
SUGIYA, MIDORI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
KOFU NIPPON DENKI KK	N/A

APPL-NO: JP07062816

APPL-DATE: March 22, 1995

INT-CL (IPC): G06F012/16, G06F012/16, G06F011/22

ABSTRACT:

PURPOSE: To efficiently test a memory (RAM) where an error correction code is stored.

CONSTITUTION: The information processor provided with a RAM 1, where the error correction code(ECC) which includes check bits generated by exclusive OR of even information bits and is capable of one-bit error correction and &ge;2-bit error detection is stored, is provided with an ALL 1 test mode flag 7 which goes to '0' for ALL0 of test data at the time of normal operation or RAM test and goes to '1' for ALL1 of test data at the time of RAM test, and is provided with the function, which adds the value of the ALL1 test mode flag to write data of the RAM 1 and generates all check bits by exclusive OR of odd information bits and writes only write data and generated check bits in the RAM 1, and the function which performs error correction and detection of read data of the RAM 1 based on ECC generated by adding the value of the ALL1 test mode flag 7 to a proper bit position of information bits.

COPYRIGHT: (C)1996,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-263391

(43)公開日 平成8年(1996)10月11日

(51)Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
G 06 F 12/16	3 3 0	7623-5B	G 06 F 12/16	3 3 0 A
	3 1 0	7623-5B		3 1 0 F
11/22	3 5 0		11/22	3 5 0 F

審査請求 有 請求項の数2 O L (全6頁)

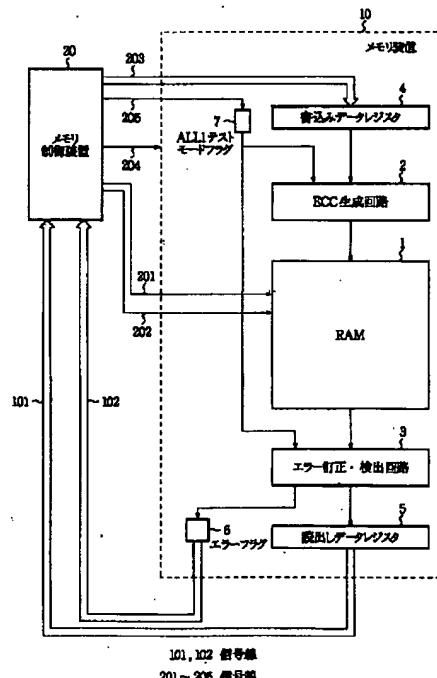
(21)出願番号	特願平7-62816	(71)出願人	000168285 甲府日本電気株式会社 山梨県甲府市大津町1088-3
(22)出願日	平成7年(1995)3月22日	(72)発明者	杉矢 みどり 山梨県甲府市大津町1088-3 甲府日本電気株式会社内
		(74)代理人	弁理士 京本 直樹 (外2名)

(54)【発明の名称】 情報処理装置

(57)【要約】

【目的】誤り訂正符号を格納するメモリ (RAM) のテストの効率化を図る。

【構成】偶数個の情報ビットの排他的論理和で生成される検査ビットを含む1ビット訂正・2ビット以下誤り検出可能な誤り訂正符号 (ECC) を格納するRAM 1を有する情報処理装置において、通常動作時またはRAM テスト時でテストデータがALL 0のときは‘0’、RAM テスト時でテストデータがALL 1のときは‘1’となるALL 1テストモードフラグ7を有し、RAM 1の書き込みデータにALL 1テストモードフラグの値を付加して、全ての検査ビットを奇数個の情報ビットの排他的論理和で生成し、書き込みデータと生成した検査ビットのみをRAM 1に書き込む機能と、RAM 1の読み出しデータにALL 1テストモードフラグ7の値を情報ビットの適當なビット位置に付加してできるECCから誤り訂正および検出を行う機能とを有する。



1

## 【特許請求の範囲】

【請求項1】 メモリテスト時のテストデータがALL1であることを示すALL1テストフラグと、前記ALL1テストフラグをデータに付加して誤り訂正符号を生成する手段と、前記ALL1テストフラグをメモリから読み出した誤り訂正符号に付加してエラー検出・訂正を行う手段とを備え、前記ALL1テストフラグと、前記生成手段と、前記エラー検出・訂正手段とにより、全ビットがすべて1である値をとることができない誤り訂正符号を格納するメモリのテストを、仮想的に全ビットが値1をとる誤り訂正符号のテストで行うことを特徴とする情報処理装置。

【請求項2】 1ビット誤り訂正・2ビット以下誤り検出可能な誤り訂正符号を格納するメモリと、前記誤り訂正符号の生成回路と、前記誤り訂正符号のシンドローム生成回路とを有する情報処理装置であって、前記メモリのテストにおいて、全てのビットが値1であるデータでテストを行うときは1を、他のデータでテストを行うとき、およびメモリテスト処理以外のときは値0を示すフラグと、前記誤り訂正符号生成回路で生成された検査ビットが偶数個の情報ビットの排他的論理和から成る場合は、前記検査ビットと前記フラグの値との排他的論理和をとり、その結果を前記メモリに格納する検査ビットと差し替える手段と、前記シンドローム生成回路において生成されるシンドロームのうち、前記シンドロームを生成するときの要素となった検査ビットが前記手段によって差し替えられたものである場合は、前記シンドロームに前記フラグの排他的論理和をとって誤り訂正および検出をするシンドロームとする手段とを有することを特徴とする情報処理装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、情報処理装置のメモリ装置に関し、特に、メモリテストに関する。

## 【0002】

【従来の技術】従来の情報処理装置においては、誤り訂正符号を格納するランダムアクセスメモリ（以下、RAM）のテスト方式として、通常のメモリアクセス処理機能を用いて、適当なテストパターンに対して誤り訂正符号を生成し、これをRAMに格納したのち、読み出して誤り訂正符号の誤り検出を行う方式が採られる。

【0003】誤り訂正符号には、1ビット誤り訂正・2ビット以下誤り検出符号（以下、ECCと称す）が用いられる。

【0004】次に、従来の情報処理装置について図面を参照して説明する。

【0005】図4に、この従来の情報処理装置の一実施例を示す。

2

【0006】メモリ装置40にはECCを格納するRAM1、ECC生成回路42、エラー訂正・検出回路43が含まれている。

【0007】メモリ制御装置50は、メモリ装置40を制御する。信号線201はRAM1のアドレスを送る信号線であり、信号線202はRAM1への書き込み指示（以下、WEと称す）信号である。

【0008】メモリ装置40では、メモリ制御装置50から信号線203を介してレジスタ4で受け取ったRAM1書き込みデータからECC生成回路42においてECCを生成し、信号線201のWEに従い、信号線202が示すアドレスにこのECCをセットする。

【0009】また、エラー訂正・検出回路43において、RAM1の信号線202が示すアドレスのECCよりシンドロームを生成する。シンドロームで検出されるエラーの結果が1ビットエラーの場合は、エラー訂正されたデータがレジスタ5に、1ビットエラー情報がエラーフラグ6にそれぞれセットされる。メモリ制御装置50では、レジスタ5のデータとエラーフラグ6の情報をそれぞれ信号線101、信号線102を介して受け取る。2ビットエラーの場合は、2ビットエラー情報がエラーフラグ6にセットされ、エラーフラグ6の内容がメモリ制御装置50に信号線102で報告される。

【0010】メモリ制御装置50の信号線204の指示により、メモリ装置40においてRAM1のテストを処理するときには、メモリ制御装置50からレジスタ4に信号線203でテストデータがセットされ、上述した処理と同様に、ECC生成回路42で生成されたECCがRAM1にセットされる。RAM1への書き込みが全て終了すると、メモリ制御装置50はRAM1の読み出しを行う。このとき読み出したECCはエラー訂正・検出回路43においてエラー検出され、エラーフラグ6にセットされる。エラーフラグ6の情報は信号線102を介してメモリ制御装置50に報告される。

【0011】図4で示した装置のように、通常処理とテスト処理を兼用する場合、情報処理装置としての稼働率を考慮すると、テスト時間はより短いことが望まれ、その短縮手段の1つとしてテストデータパターンを少なくすることが挙げられる。

【0012】テストデータとしては、RAMの全てのビットについて、'1'を書いて正しく読み出せることと'0'を書いて正しく読み出せることがテストできればテストを網羅しているといえ、これを満たすよう選ぶ必要がある。

【0013】ECCは、データ長によってはデータのビットの値が全て'1'（以下、ALL1と称す。ALL0も同様）となるようなコーディングが可能であり、このときALL1とALL0の2個のデータパターンでRAMのテストが網羅できる。

【0014】図2にECC生成の例を挙げる。図2のE

CCは33ビットの情報ビットD1～D33と7ビットの検査ビットC1～C7から構成されている。検査ビットC1～C7は、情報ビットD1～D7のうち、第1行～第7行の各行において‘1’が立っているビット位置に対応するビットの排他的論理和で求められる。図2からわかるように、各検査ビットを求める情報ビットの数は奇数個である。したがって、情報ビットD1～D33の値が全て1であれば、検査ビットC1～C7の値も全て1となる。つまり図2で示したECCは40ビットALL1の値をとり得るECCである。

【0015】ECCのALL1コーディングが不可能な場合は、最低3個のデータパターンが必要となり、処理時間が長くなる。

【0016】情報処理装置において、データ処理単位として32ビット(4バイト)長は一般的であるが、32ビットの情報ビットに7ビットの検査ビットを附加して生成されるECCはALL1をとり得ない。

【0017】したがって、32ビットデータで処理するRAMのECCチェックテストは最低3パターンのデータパターンで処理しなければ網羅できない。

【0018】

【発明が解決しようとする課題】上述した従来の情報処理装置のメモリテストでは、ビットがすべて値1をとることができない誤り訂正符号でチェックテストをする場合、最低3個のテストデータパターンを用意してテストするため、メモリテスト時間が長くなるという問題がある。

【0019】

【課題を解決するための手段】本発明の情報処理装置は、メモリテスト時のテストデータがALL1であることを示すALL1テストフラグと、ALL1テストフラグをデータに附加して誤り訂正符号を生成する手段と、ALL1テストフラグをメモリから読み出した誤り訂正符号に附加してエラー検出・訂正を行う手段とを備え、ALL1テストフラグと、生成手段と、エラー検出・訂正手段により、全ビットがすべて1である値をとることができない誤り訂正符号を格納するメモリのテストを、仮想的に全ビットが値1をとる誤り訂正符号のテストで行うことを特徴としている。

【0020】本発明の情報処理装置は、1ビット誤り訂正・2ビット以下誤り検出可能な誤り訂正符号を格納するメモリと、誤り訂正符号の生成回路と、誤り訂正符号のシンドローム生成回路とを有する情報処理装置であって、そのメモリのテストにおいて、全てのビットが値1であるデータでテストを行うときは1を、他のデータでテストを行うとき、およびメモリテスト処理以外のときは値0を示すフラグと、誤り訂正符号生成回路で生成された検査ビットが偶数個の情報ビットの排他的論理和から成る場合は、検査ビットとフラグの値との排他的論理和をとり、その結果をメモリに格納する検査ビットと差し替える手段と、シンドローム生成回路において生成さ

れるシンドロームのうち、シンドロームを生成するときの要素となった検査ビットが先の手段によって差し替えられたものである場合は、シンドロームにフラグの排他的論理和をとって誤り訂正および検出をするシンドロームとする手段とを有することを特徴としている。

【0021】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0022】図1は本発明の情報処理装置の一実施例の10 ブロック図である。

【0023】本実施例は、メモリ装置10とメモリ制御装置20を有する情報処理装置であり、メモリテストも処理する。

【0024】メモリ装置10は、RAM1と、RAM1のALL1テストモードを示すフラグレジスタ7と、RAM1の書き込みデータを保持するレジスタ4と、レジスタ4のデータに対してECCを生成するECC生成回路2と、RAM1から読み出したECCより誤りを検出・訂正するエラー訂正・検出回路3と、読み出しデータを保持するレジスタ5とエラーフラグ6とから構成される。

【0025】メモリ制御装置20は、RAMアドレス信号線201、書き込み指示(WE)信号線202、RAMテストモード信号線204、ALL1テスト信号線205によりメモリ装置10を制御し、信号線203を介してRAM書き込みデータをメモリ装置10に送る。また、信号線101と信号線102を介してRAM1の読み出し結果を受け取る。

【0026】次に、本実施例の詳細について図1を参照して説明する。

【0027】本実施例の情報処理装置は、RAMの読み出しや書き込み等のデータ処理単位を4バイト(32ビット)で行う。

【0028】RAM1は、32ビットの情報ビットと7ビットの検査ビットから成る1ビット誤り訂正・2ビット以下誤り検出可能な誤り訂正符号(ECC)を格納するメモリである。メモリ制御装置20は32ビットのデータを信号線203を介して書き込みデータレジスタ4にセットする。メモリ装置10では、ECC生成回路2においてレジスタ4の書き込みデータからECCを生成し、信号線202に制御されて、信号線201が示すRAM1のアドレスにこのECCをセットする。

【0029】また、メモリ装置10では、エラー訂正・検出回路3において、信号線201が示すECCからシンドロームを生成する。エラー訂正・検出回路3では、シンドロームより1ビットエラーを検出すると、ECCのエラーを訂正し、レジスタ5に訂正後のデータをセットするとともに、エラーフラグ6に1ビットエラー情報をセットする。また、2ビットエラーを検出すると、2ビットエラー情報をエラーフラグ6にセットする。メモリ制御装置20では、読み出しだデータレジスタ5およびエ

ラーフラグ6の情報を信号線101および信号線102を介してそれぞれ受け取る。

【0030】このようにして、本実施例の情報処理装置はメモリの書き込み処理および読み出し処理を実現している。

【0031】本情報処理装置は、上述の通常のメモリアクセス手段を用いてメモリのテストも処理する。

【0032】メモリ制御装置20は、信号線204を介して、メモリ装置10に対してRAM1のテストを指示する。信号線205はRAMテストのタイプを示す信号で、信号線205が‘1’を送るときはRAM1のテストを書き込みデータALL1で行うこと（以下、ALL1テストと称す。ALL0テストも同様）を示し、このときフラグレジスタ7は‘1’がセットされる。ALL1テスト時以外は信号線205は‘0’を送り、フラグ7は‘0’を保持する。フラグ7はALL1テストモード時、ALL1テストの書き込み処理とエラーチェック処理（ライト&リードチェック）が終了するまで‘1’を保持する。

【0033】メモリ装置10のレジスタ4は、信号線204がRAMテストモードを示し信号線205が‘1’を示せばALL1データがセットされ、信号線204がRAMテストモードを示し信号線205が‘0’を示せばALL0データがセットされる。

【0034】ECC生成回路2でレジスタ4のデータに対してECCを生成する。

【0035】ECC生成回路2では、レジスタ4から入力された32ビットデータにALL1テストモードフラグ7の値を附加して33ビットの仮想データを構成する。この仮想データ33ビットを図2における情報ビットD1～D33にあてはめる。このとき附加したフラグ7を情報ビットD33にあてはめるようにし、従来技術で述べた図2のきまりに従って検査ビットC1～C7を排他的論理和より求める。RAM1のALL1テストのとき、フラグ7の値は‘1’であり、書き込みデータのビットも全て‘1’なので、情報ビットD1～D33には全て‘1’が入り、検査ビットC1～C7も全てが‘1’に生成される。ALL0テストのときはフラグ7は‘0’なので、32ビットALL0のデータに値

‘0’を附加して33ビットALL0データとなり、これより生成される検査ビットC1～C7はALL0である。また、通常のメモリアクセス処理時もALL1テストモードフラグ7は‘0’を示すので情報ビットD33は‘0’となり、このときECC生成回路2で生成される検査ビットC1～C7は、元のデータ32ビットだけを情報ビットとして生成した検査ビットと同一のものとなる。

【0036】このようにECC生成回路2で生成したECCの33番目の情報ビットは、RAM1に格納するデータがALL1になるように仮想的に埋め込んだ情報ビ

ットであり、RAM1には格納しない。

【0037】図1において、制御装置20は信号線203でRAMテスト処理を指示するときも信号線202によって、RAM1への書き込みを指示する。メモリ制御装置20は、ひとつのテストデータパターンの書き込みをRAM1の全アドレスについて終了すると、次にRAM1を読み出してRAM1のエラーチェックを行う。エラーチェックはエラー訂正・検出回路3において処理される。

10 【0038】エラー訂正・検出回路3では、RAM1のECCを読み出すと、このECCにALL1テストモードフラグ7を附加し、40ビットのECCを構成してシンドロームを生成する。エラー訂正・検出回路3では、図3で示す表に従い、シンドロームを生成する。図3を説明すると、ビットE1～E32には図2におけるビットD1～D32をRAM1に書いて読み出したものが入り、ビットE34～E40には図2におけるビットC1～C7をRAM1に書いて読み出したものが入り、また、ビットE33にはALL1テストフラグの値が入る。シンドロームの生成は、ビットE0～E40のうち、第1行～第7行において‘1’が立っているビット位置に対応するビットの排他的論理和により得られる。ここで、ビットE33はALL1テストモードフラグの値であるから、ALL1テストのときは有効であるが、ALL1テスト時以外は意味を持たないことになる。したがって、ALL1テストモード時は40ビットの仮想ECCの誤り検出を行い、ALL1テスト時以外はRAM1から読み出したままの39ビットの誤り検出を行うことになる。

20 【0039】このようにして、本実施例では、RAMのデータを、ALL1テスト時は40ビットの仮想ECCとして扱い、ALL1テスト時以外は本来の39ビットECCとして扱うことにより、ALL1のパターンを生成できないECCを格納するRAMに対して、ALL1ライト&リードチェックとALL0ライト&リードチェックの2回のテストでRAMのテストを網羅できるようにしている。

【0040】

【発明の効果】以上説明したように、本発明の情報処理装置は、全ビット値1というパターンを生成できない誤り訂正符号をもつメモリのテストにおいて、ハードウェア投資することなく、通常のメモリアクセス処理手段を用いて、全ビット値1のパターンデータでテストを行えるようにしたことにより、テストの網羅性を欠かすことなくメモリテスト時間を短縮させることができ、情報処理装置の稼働率の低下を防ぐことができるという効果がある。

【図面の簡単な説明】

【図1】本発明の情報処理装置の一実施例のブロック図である。

【図2】誤り訂正符号の生成を説明するための図である。

【図3】シンドロームの生成を説明するための図である。

【図4】従来の情報処理装置の一実施例のブロック図である。

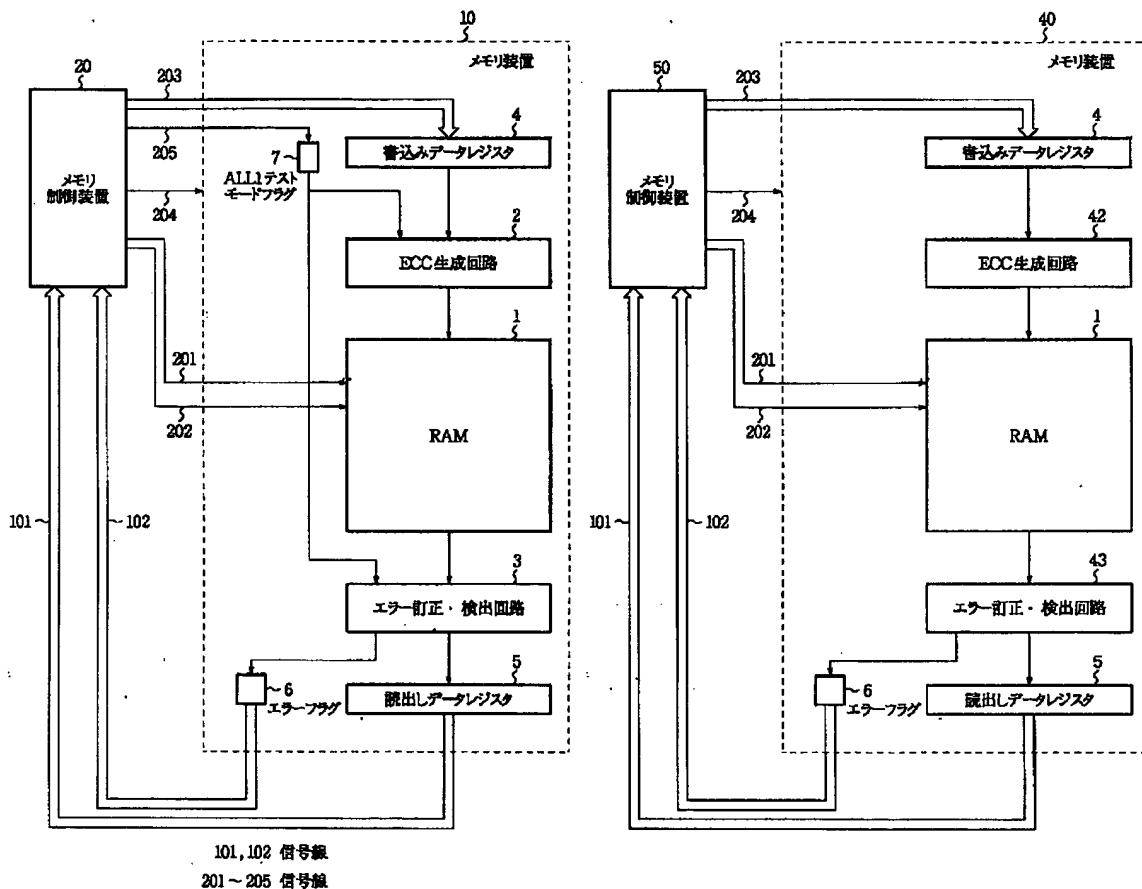
### 【符号の説明】

## 1 ランダムアクセスメモリ (RAM) 2, 4 2 エラー訂正符号 (ECC) 生成回路

3, 43 エラー訂正・検出回路  
 4 書込みデータレジスタ  
 5 読出しデータレジスタ  
 6 エラーフラグ  
 7 ALL1テストモードフラグ  
 10, 40 メモリ装置  
 20, 50 メモリ制御装置  
 101, 102 信号線  
 201~205 信号線

〔図1〕

(图4)



【図2】

書き込みデータレジスタ4																																	ALL1テストモードフラグ7						
D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29	D30	D31	D32	D33	D34						
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1		
第1行	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1		
第2行	1	1	1	1																																1			
第3行					1	1	1	1																											1				
第4行	1				1				1																											1			
第5行	1				1			1	1																										1				
第6行		1			1		1	1	1	1																								1					
第7行		1			1		1	1	1	1																								1					

【図3】

RAM1読み出し情報ビット																																	RAM1読み出し検査ビット									
E1	E2	E3	E4	E5	E6	E7	E8	E9	E10	E11	E12	E13	E14	E15	E16	E17	E18	E19	E20	E21	E22	E23	E24	E25	E26	E27	E28	E29	E30	E31	E32	E33	E34	E35	E36	E37	E38	E39	E40			
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
第1行	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
第2行	1	1	1	1																																1	1	1	1			
第3行					1	1	1	1																											1	1	1	1	1	1		
第4行	1				1		1	1	1																										1	1	1	1	1	1		
第5行	1				1		1	1	1	1																								1	1	1	1	1	1			
第6行		1			1		1	1	1	1																								1	1	1	1	1	1			
第7行		1			1		1	1	1	1																								1	1	1	1	1	1			